

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-231164

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/36	3 1 0		G 0 6 F 13/36	3 1 0 F
5/06	3 0 1		5/06	3 0 1

審査請求 有 請求項の数13 OL (全 9 頁)

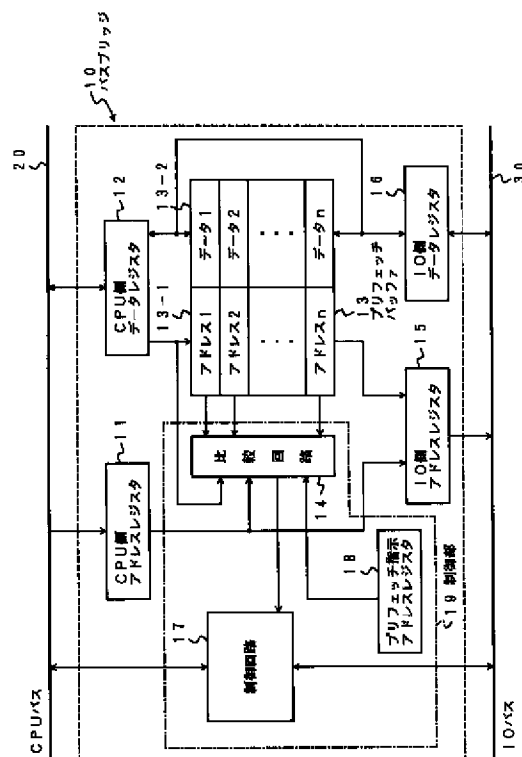
(21)出願番号	特願平8-41129	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成8年(1996)2月28日	(72)発明者	川上 拓也 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 バスブリッジおよびそれを備えた計算機システム

(57) 【要約】

【課題】 高速なCPUバスから低速なIOバスへのリードアクセスを、バスのプロトコルに変更を加えずに、CPUバスを占有することなくIOバスをアクセスすることを可能にし、CPUとCPUバスの使用効率を向上すること。

【解決手段】 ライト動作時、制御回路17は、アドレスレジスタ11のアドレスとプリフェッチ指示アドレスが一致した場合には、ライトデータによって指示されたアドレスをプリフェッチバッファ13のアドレス部13-1にラッチし、I/Oバス30へプリフェッチのためのリードを行い、リードされたデータをプリフェッチバッファ13のデータ部13-1にラッチする。リード動作時、制御回路17は、アドレスレジスタ11のアドレスとプリフェッチバッファ13のアドレス部13-1のアドレスが一致した場合に、そのアドレスに対応するプリフェッチバッファ13のデータ部13-2のデータをCPUバス20に出力させる。



**【特許請求の範囲】**

【請求項1】 CPU(40)が接続される高速なCPUバス(20)と、入出力デバイス(80)が接続される低速なIOバス(30)との間でバス変換を行うバスブリッジ(10)において、  
事前に前記IOバスのリードを行うことによって得られたデータの準備を行うプリフェッチバッファ(13)と、  
該プリフェッチバッファに対するデータの書込み及び読出しを制御する制御部(14, 17, 18)と、を含むことを特徴とするバスブリッジ。

【請求項2】 前記プリフェッチバッファ(13)は、前記CPUからのライトデータに含まれる前記入出力デバイスを指示するアドレスをプリフェッチアドレスとして保持するアドレス部(13-1)と、前記入出力デバイスから前記IOバスを介してリードしたデータをプリフェッチデータとして保持するデータ部(13-2)とから成る、請求項1に記載のバスブリッジ。

【請求項3】 前記制御部は、  
ライト要求時に、前記CPUから送られてきたライトアドレスがプリフェッチ指示を示しているときに、前記ライトデータに含まれるアドレスデータを前記プリフェッチアドレスとして前記プリフェッチバッファのアドレス部にラッチし、前記IOバスに対してプリフェッチのためのリードを行い、前記リードされたデータを前記プリフェッチバッファのデータ部に前記プリフェッチデータとしてラッチし、  
リード要求時に、前記CPUから送られてきたリードアドレスが前記プリフェッチバッファのアドレス部に保持されたプリフェッチアドレスのいずれかに一致したときに、当該一致したプリフェッチアドレスに対応する前記プリフェッチバッファのデータ部に保持されている前記プリフェッチデータを前記CPUバス上に出力させる、制御を行うことを特徴とする請求項2に記載のバスブリッジ。

【請求項4】 前記制御部は、  
前記プリフェッチ指示アドレスを保持するプリフェッチ指示アドレスレジスタ(18)と、  
前記CPUバス上のライトアドレスと前記プリフェッチ指示アドレスレジスタの前記プリフェッチ指示アドレスとを比較し、前記CPUバス上のライトデータと前記プリフェッチバッファのアドレス部のアドレスとを比較し、前記CPUバス上のリードアドレスと前記プリフェッチバッファのアドレス部のアドレスとを比較し、これら比較結果を出力する比較回路(14)と、  
前記比較結果に基づいて、前記プリフェッチバッファの書込み及び読出しの制御と前記IOバスへのプリフェッチのためのリードとを行う制御回路(17)と、  
を有することを特徴とする請求項3に記載のバスブリッジ。

【請求項5】 CPU(40)と、該CPUが接続された高速なCPUバス(20)と、低速入出力装置(80)と、該低速入出力装置が接続された低速なIOバス(30)と、前記CPUバスと前記IOバスとの間でバス変換を行うバスブリッジ(10)とを有する計算機システムにおいて、

前記バスブリッジは、事前に前記IOバスのリードを行うことによって得られたデータの準備を行うプリフェッチバッファ(13)と、該プリフェッチバッファに対するデータの書込み及び読出しを制御する制御部(14, 17, 18)とを含み、

前記CPUは、前記IOバスに対してリードアクセスを行う場合、まず、前記プリフェッチバッファに対して前記低速入出力装置から必要なリードデータを事前にプリフェッチデータとして格納させるプリフェッチライト要求を前記CPUバス上に出し、その後、前記プリフェッチバッファから前記プリフェッチデータをリードするためのリード要求を前記CPUバスに出す手段を有することを特徴とする計算機システム。

【請求項6】 前記CPUは、前記プリフェッチライト要求として、最初にプリフェッチを指示するライトアドレスを前記CPUバス上に出し、引き続いて、リードを要求すべき前記低速入出力装置を指示するアドレスデータをライトデータとして前記CPUバスに出すこと、を特徴とする請求項5に記載の計算機システム。

【請求項7】 前記プリフェッチバッファ(13)は、前記ライトデータに含まれる前記低速入出力装置を指示するアドレスを前記プリフェッチアドレスとして保持するアドレス部(13-1)と、前記低速入出力装置から前記IOバスを介してリードしたデータをプリフェッチデータとして保持するデータ部(13-2)とから成り、

前記制御手段(14, 17, 18)は、前記ライトアドレスが前記プリフェッチを指示しているときに前記ライトデータを前記プリフェッチバッファのアドレス部に前記プリフェッチアドレスとしてラッチし、前記プリフェッチアドレスを使用して前記IOバスにリードをし、前記リードしたデータを前記プリフェッチバッファのデータ部に前記プリフェッチデータとしてラッチすること、を特徴とする請求項6に記載の計算機システム。

【請求項8】 前記制御手段は、前記ライトデータに一致するプリフェッチアドレスが前記プリフェッチバッファのアドレス部に既に存在する場合は、そのエントリを使用し、一致するものがない場合は、新しいエントリに前記ライトデータを前記プリフェッチアドレスとしてラッチすること、を特徴とする請求項7に記載の計算機システム。

【請求項9】 前記制御手段は、前記リード要求時に、前記CPUから前記CPUバスに出されるリードアドレスと一致するプリフェッチアドレスが前記プリフェッ

チャバッファのアドレス部に存在するときに、該一致したプリフェッチアドレスに対応した前記プリフェッチバッファのデータ部からプリフェッチデータをリードして前記CPUバス上へ出力させること、を特徴とする請求項7に記載の計算機システム。

【請求項10】 前記制御手段は、前記プリフェッチ指示アドレスを保持するプリフェッチ指示アドレスレジスタ(18)と、前記CPUバス上のライトアドレスと前記プリフェッチ指示アドレスレジスタの前記プリフェッチ指示アドレスとを比較し、前記CPUバス上のライトデータと前記プリフェッチバッファのアドレス部のアドレスとを比較し、前記CPUバス上のリードアドレスと前記プリフェッチバッファのアドレス部のアドレスとを比較し、これら比較結果を出力する比較回路(14)と、前記比較結果に基づいて、前記プリフェッチバッファの書込み及び読出しの制御と前記IOバスへのプリフェッチのためのリードとを行う制御回路(17)とを有すること、を特徴とする請求項9に記載の計算機システム。

【請求項11】 前記CPUバスに接続された主記憶装置(50)をさらに含む、請求項5に記載の計算機システム。

【請求項12】 前記CPUバスに接続されたグラフィック表示デバイス(60)をさらに含む、請求項5に記載の計算機システム。

【請求項13】 前記CPUバスに接続された高速入出力装置(70)をさらに含む、請求項5に記載の計算機システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPUが接続されるCPUバスと、入出力デバイスが接続されるIOバスとの間でバス交換を行うバスブリッジに関する。

【0002】

【従来の技術】一般に計算機システムにおいて、CPUはデータ幅の広い高速なCPUバスに接続され、これに対して、キーボード、プリンタなどの入出力装置はデータ幅に狭い低速なIOバスに接続されている。CPUバスとIOバスとはそれらの間のバス交換を行うバスブリッジにより接続されている。

【0003】従来のバスブリッジでは、CPUが入出力装置に対してデータをライトするライト動作に関してはライトバッファを用いることにより、IOバスでのライト動作の完了を待たずにCPUバス上でのライト動作を終了することができる。しかしながら、CPUが入出力装置からデータをリードするリード動作の場合、CPUはIOバスに接続された入出力装置からの応答を待つ必要がある。そのため、IOバス上でのリード動作が完了するまでの間、CPUバスを占有し、その間、CPUは他の処理を実行することができず、さらにCPUバスを

使用する他のデバイスもCPUバスを使用することができない。

【0004】このようなCPUバスの使用効率の低下を防ぐために、CPUバスがマルチプロセッサ用に設計された専用のバスの場合、バスアクセスの起動サイクルと応答データサイクルを分割するスプリットトランザクションという技術が知られている。例えば、特開平6-149730号公報(以下、先行技術1と呼ぶ)には、スプリットトランザクションを行うマルチプロセッサシステムの一例が記載されている。

【0005】なお、本発明に関連する他の先行技術が種々知られている。例えば、特開平5-165761号公報(以下、先行技術2と呼ぶ)には、リニアなアドレスのデータ転送以外にランダムなアドレスのデータ転送が行われることがあっても、高速データ転送が正しく行われるようにした「DMAコントローラ」が開示されている。この先行技術2では、8ビットデータ幅の低速バスに接続されるDMA機器からの転送要求時、要求アドレスは第1のレジスタに、該当のデータは8ビットデータバッファにラッチされる。比較器は第1のレジスタの示す今回の要求アドレスと第2のレジスタの示す前回要求アドレスのそれぞれの下位3ビットを除く部分を比較する。制御部は比較器での不一致検出時は、第2のレジスタ、64ビットデータバッファの内容を64ビットデータ幅の高速バスを介して主メモリへ転送した後、第1のレジスタ、8ビットデータバッファの内容を第2のレジスタ、64ビットデータバッファに移し、一致検出時は、第1のレジスタ、8ビットデータバッファの内容を第2のレジスタ、64ビットデータバッファに移し、一杯になると、主メモリへの転送を行う。

【0006】特開平4-365157号公報(以下、先行技術3と呼ぶ)にも、上記先行技術2と同様な、リニアなアドレスのデータ転送以外にランダムなアドレスのデータ転送が行われることがあっても、高速データ転送が行えるようにした「DMAコントローラ」が開示されている。この先行技術3では、DMA機器により低速バスを介して前回データ転送要求されたメモリアドレスの主メモリデータを含む高速バスのデータ幅分のデータブロックを保持するデータキャッシュ並びにそのブロックアドレスを保持する第1のレジスタを持つキャッシュ部と、次のデータブロックを保持するデータバッファ並びに次のブロックアドレスを保持する第2のレジスタを持つバッファ部との2段構成とする。DMA機器からのデータ転送要求時には、その要求アドレスを保持する第3のレジスタの示すブロックアドレスと第1または第2のレジスタの内容とを比較器にて比較することにより、要求アドレスのデータがキャッシュ部またはバッファ部に存在するか否かを検出する。

【0007】特開平2-245959号公報(以下、先行技術4と呼ぶ)には、低速バスによりデータ転送が所

定量だけ実行されると高速バスによるデータ転送を開始して両方の転送を並行に行うことにより、低速バスと高速バスとの両方の転送時間を低速バスの転送時間とほぼ等しくできるようにした「入出力制御装置におけるデータ転送方式」が開示されている。先行技術4は、低速バスを介して転送されるデータは第1DMA制御部の制御によりバッファに順次格納されるとともに所定量検出手段にも入力してデータ量が計数される。転送データ量が所定値に達すると、所定量検出手段から起動出力が発生し、第2DMA制御部は高速バスを介して入出力装置へのDMA転送動作を開始する。このデータ転送はバッファに格納された先頭データから順に送出され、同時に低速バスによるバッファへの転送が並行して実行される。これにより全体の転送時間を低速バスのデータ転送時間に近づけることができる。

【0008】特開昭61-48059号公報（以下、先行技術5と呼ぶ）には、処理装置の高速CPUバスと複数のプロセス入力装置（PI）、プロセス出力装置（PO）を接続する低速バスとをデータメモリで結合し、データバッファ機能を有するアダプタを設けることにより、処理能力の向上を図った「バスアダプタ」が開示されている。先行技術5では、CPUとメモリ間のデータ転送は、バス切換フリップフロップを“1”にセットし、メモリ制御回路はCPUバスのCPU読出／書込制御信号、CPU同期パルス、メモリアクセス信号でメモリを制御する。メモリのアドレスはマルチプレクサを通してCPUアドレスバスが結合され、データは双方向スリーステートゲート回路によりCPUデータバスに結合される。メモリ、入出力バス間のデータ転送は、バス切換フリップフロップを“0”にリセットし、入出力バスタイミング信号発生回路の制御信号を有効にし、入出力アドレスカウンタを起動させ、PIからメモリに、メモリからPOに転送する。

【0009】特開昭58-201137号公報（以下、先行技術6と呼ぶ）には、転送速度の異なる入出力バスに接続される装置間のデータ転送装置チャンネルにおいて、FIFO形式のデータバッファを介することにより、自身の接続されたバスの転送速度で入出力する「データ転送方式」が開示されている。装置Aからのバスにアドレス情報を送り、デバイスアドレス選択回路がアドレスに一致を検出するとアドレス信号線を“1”にセットする。装置Aからのストロブ信号でゲートして、レシーバ回路を介して入力したデータを信号線でゲートしてデータバッファに格納し、制御回路により、後段のバッファにデータをFIFO形式で格納し、この転送は書込み速度より速い。データが後段のバッファに格納されると制御信号からの信号により装置Bは読込みを始めるが、装置Aより装置Bの方が高速の時は、バッファが満杯になるまで満杯になるまで読込みを待つ。これにより、伝送速度の異なる系統間のデータ転送を効率よく行

う。

【0010】

【発明が解決しようとする課題】上述したように、従来のバスブリッジでは低速なIOバスのリード中はCPUの動作ができず、また高速なCPUバスが占有されてしまうために、バスの使用効率が低下してしまうという問題がある。

【0011】これを防ぐために、上記先行技術1に開示されているように、バス自体に変更を加え、スプリット転送をサポートする技術が知られている。しかしながら、この技術を実現するためには、CPUやI/Oデバイス自体の変更が必要となってしまう。

【0012】したがって、本発明の課題は、バスのプロトコルに変更を加えずに、ソフトウェアによるアクセス方法の変更のみで、高速なCPUバスを占有することなく、低速なIOバスに対するリード動作を行うことができるバスブリッジを提供することにある。

【0013】なお、先行技術2及び3は、CPUを介さずに、低速バスに接続されるDMA機器から高速バスに接続される主メモリへデータを転送するDMAコントローラを開示しているに過ぎず、CPUから低速なIOバスに接続された入出力装置にリードアクセスする技術については何等開示しておらず示唆もしていない。また、先行技術2及び3は、データを一時的に格納するためのデータバッファやキャッシュ部等の一時記憶装置を備えているというものの、その使用目的はDMA機器からのデータを主メモリへ転送する前に、単に一時的に保持するためである。先行技術4も、先行技術2及び3と同様に、CPUを介さずに、低速バスを介して転送されてきたデータを高速バスへ転送する技術を開示しているに過ぎない。先行技術5は、CPUとメモリと間のデータ転送と、メモリと入出力バスと間のデータ転送とを開示しているに過ぎない。先行技術6は、転送速度の異なる入出力バスに接続される装置間のデータ転送装置チャンネルを開示しているに過ぎず、片方の装置がCPUであるときのリードアクセスにおける問題を認識していない。

【0014】

【課題を解決するための手段】本発明によるバスブリッジは、CPUが接続される高速なCPUバスと、入出力デバイスが接続される低速なIOバスとの間でバス変換を行うバスブリッジにおいて、事前にIOバスのリードを行うことによって得られたデータの準備を行うプリフェッチバッファと、このプリフェッチバッファに対するデータの書込み及び読出しを制御する制御部とを含むことを特徴とする。

【0015】また、本発明による計算機システムは、CPUと、このCPUが接続された高速なCPUバスと、低速入出力装置と、この低速入出力装置が接続された低速なIOバスと、CPUバスとIOバスとの間でバス変換を行うバスブリッジとを有する計算機システムにおい

て、バスブリッジは、事前にI/Oバスのリードを行うことによって得られたデータの準備を行うプリフェッチバッファと、このプリフェッチバッファに対するデータの書込み及び読出しを制御する制御部とを含み、CPUは、I/Oバスに対してリードアクセスを行う場合、先ず、プリフェッチバッファに対して低速入出力装置から必要なリードデータを事前にプリフェッチデータとして格納させるプリフェッチライト要求をCPUバス上に出し、その後、プリフェッチバッファからプリフェッチデータをリードするためのリード要求をCPUバス上に出す手段を有することを特徴とする。

#### 【0016】

【作用】上記の構成において、CPUバス上のライトアドレスとプリフェッチを指示するためのアドレスとが一致した場合に、ライトデータをプリフェッチバッファのアドレス部にプリフェッチアドレスとして保持し、CPUバスのアクセスを直ちに完了し、I/Oバスに対してそのアドレスに対するリードを開始する。

【0017】I/Oバスからリードされたデータを、プリフェッチバッファのそのアドレスに対応するデータ部にプリフェッチデータとして格納する。既に同じアドレスがプリフェッチバッファに存在する場合は、古いプリフェッチデータを新しいプリフェッチデータで上書きする。

【0018】CPUバスからI/Oバスへのリード要求が来た場合、このリード要求によるリードアドレスがプリフェッチバッファのアドレス部のプリフェッチアドレスと一致する場合には、I/Oバスへのリードアクセスは出さずに、プリフェッチバッファのデータ部のプリフェッチデータをCPUバスに出力してリードアクセスを完了させる。

【0019】リード要求のあったリードアドレスがプリフェッチバッファのアドレス部のプリフェッチアドレスと一致するものがなかった場合には、従来のバスブリッジと同様にI/Oバスへリードのアクセスを出し、リードされたデータをCPUバスに出力する。

【0020】I/Oバスへのライト要求は、ライトアドレスをアドレスレジスタ、ライトデータをデータレジスタにラッチした時点でI/Oバス上のライトアクセスが完了するのを待たずにCPUバス上のライトアクセスを完了する。

【0021】このように上記の構成によれば、CPUが低速のI/Oバスのリードアクセスを行う場合、プリフェッチ指示アドレスに対して、あらかじめリード要求を行うアドレスをプリフェッチバッファにプリフェッチアドレスとしてライトしておくことにより、後から行われるそのアドレスに対するリードはプリフェッチされたデータを使用することにより、CPUバス上では最短のリードサイクルで完了することができ、プリフェッチから実際のリードまでの間、CPUは他の処理を行うことがで

きる。また、CPUバスをその間他のデバイスが使用することができるため、CPUバスを有効に使用することが可能で、処理性能を向上することができる。

#### 【0022】

【発明の実施の形態】以下、本発明の実施形態について図面を参照して詳細に説明する。

【0023】図1に本発明の一実施の形態に係るバスブリッジの構成を示し、図2に図1に示したバスブリッジを備えた計算機システムを示す。

【0024】最初に、図2を参照して、計算機システムは、本発明に係るバスブリッジ10と、CPUバス20と、I/Oバス30と、CPU40と、主記憶装置50と、グラフィック表示デバイス60と、高速I/Oデバイス70と、低速I/Oデバイス80とを備えている。

【0025】CPU40は本計算機システムの中核をなしている。主記憶装置50は各種プログラム、データ等を格納する。グラフィック表示デバイス60は画面表示を行う。高速I/Oデバイス70はディスク装置やネットワーク等のデバイスである。これらCPU40、主記憶装置50、グラフィック表示デバイス60、および高速I/Oデバイス70は高速なCPUバス20に接続されている。低速I/Oデバイス80はキーボードやプリンタ等の比較的低速な装置であり、低速なI/Oバス30に接続されている。バスブリッジ10は、CPUバス20とI/Oバス30との間のデータ転送を制御する。

【0026】図2に移って、バスブリッジ10は、CPU側アドレスレジスタ11と、CPU側データレジスタ12と、プリフェッチバッファ13と、比較回路14と、I/O側アドレスレジスタ15と、I/O側データレジスタ16と、制御回路17と、プリフェッチ指示アドレスレジスタ18とを有する。

【0027】CPU側アドレスレジスタ11はCPUバス20に接続されており、CPUバス20からのデータ転送要求時に送られるアドレスをラッチするためのレジスタである。CPU側データレジスタ12もCPUバス20に接続されており、CPUバス20からのライトデータをラッチするためのレジスタである。プリフェッチバッファ13は、プリフェッチするアドレスを保持するアドレス部13-1と、リードされたデータをプリフェッチデータとして保持するデータ部13-2とから構成されている。

【0028】比較回路14は、アドレスレジスタ11に保持されたCPUバス20からのライトアドレスとプリフェッチ指示アドレスレジスタ18に保持されたプリフェッチ指示アドレスとを比較し、アドレスレジスタ11に保持されたCPUバス20からのリードアドレスとプリフェッチバッファ13のアドレス部13-1に保持されたプリフェッチアドレスとを比較し、プリフェッチ指示アドレスに対するライトデータとプリフェッチバッファ13のアドレス部13-1に保持されたプリフェッチ

アドレスとを比較し、これら比較結果を制御回路17へ送出する。

【0029】IO側アドレスレジスタ15は、CPU側アドレスレジスタ11とIOバス30とプリフェッチバッファ13のアドレス部13-1とに接続されており、IOバス30へのデータ転送要求時にCPU側アドレスレジスタ11に保持されたアドレスまたはプリフェッチバッファ13のアドレス部13-1に保持されたプリフェッチアドレスをラッチする。IO側データレジスタ16は、CPU側データレジスタ12とIOバス30とプリフェッチバッファ13のデータ部13-2とに接続されており、IOバス30へのライトデータ、IOバス30上のリードデータをラッチする。

【0030】制御回路17は、上記比較結果に基づいて、CPUバス20とIOバス30のデータ転送制御、および本バスブリッジ10内部の制御を行う。制御回路17とCPUバス20との間で入出力される信号には、CPUバス20上で転送要求するアドレスが確定していることを示すアドレスストローブ信号、データの受渡しが完了したことを示すレディ信号がある。アドレスストローブ信号はCPU側アドレスレジスタ11のラッチ信号にも用いられる。制御回路17とIOバス30との間で入出力される信号には、リードの要求を示すIOリード信号、ライトの要求を示すIOライト信号がある。IOリード信号の立上がりで、IOバス30上のリードデータがIO側データレジスタ13にラッチされる。

【0031】とにかく、制御回路17と比較回路14とプリフェッチ指示アドレスレジスタ18との組み合わせは、プリフェッチバッファ13に対するデータの書込み及び読出しを制御する制御部19として動作する。

【0032】次に、図1及び図2に加えて図3(A)を参照して、図1に示したバスブリッジ10の動作について説明する。図3(A)において、第0乃至第13のマシンサイクルが数字0乃至13によって最上行に沿って示されている。

【0033】最初に、CPU40が低速I/Oデバイス80からデータをリードするリード動作について説明する。

【0034】まず、CPU40のソフトウェアは、プリフェッチ指示アドレスに対して、リードしたいアドレスを示すライトデータをプリフェッチアドレスとしてライトすることを行うためのプリフェッチライト要求を出す。このプリフェッチライト要求は、ライトデータがCPU側データレジスタ12にラッチされた時点でレディ信号が出され、直ちに終了する。

【0035】詳細に述べると、第1のマシンサイクルで、CPU40はCPUバス20上にプリフェッチ指示を示すライトアドレスとアドレスストローブ信号とを出す。CPUバス20上のライトアドレスは、アドレス信号のアサートによりCPU側アドレスレジスタ11にラ

ッチされる。次に、第2のマシンサイクルで、CPU40はCPUバス20上にプリフェッチライト要求を示すライトデータを出す。このライトデータは、CPU側データレジスタ12にラッチされると同時に、制御回路17はレディ信号をCPUバス20に出す。したがって、CPUバス20が解放され、第3のマシンサイクル以降、CPUバス20をそれに接続された機器が使用することが可能である。すなわち、CPUバス20が一旦解放されるために、CPUバス20を使用して主記憶装置50やグラフィック表示デバイス60へのアクセスや、他の高速I/Oデバイス70がCPUバス20を使用することが可能となり、CPUバス20を効率的に使用することができる。

【0036】一方、CPU側アドレスレジスタ11に保持されたライトアドレスとプリフェッチ指示アドレスレジスタ18に保持されたプリフェッチ指示アドレスとが比較回路14により比較される。これらアドレスが一致した場合、CPU側データレジスタ12に保持されたライトデータはプリフェッチライト要求するアドレスを示すデータであるため、CPU側データレジスタ12にラッチされたアドレスデータとプリフェッチバッファ13のアドレス部13-1に保持されたプリフェッチアドレスとを比較回路14により比較する。

【0037】上記アドレスデータに一致するプリフェッチアドレスがプリフェッチバッファ13のアドレス部13-1に存在する場合は、そのエントリを使用し、一致するものがない場合は、新しいエントリにデータレジスタ12に保持されたアドレスデータをプリフェッチアドレスとしてラッチする。

【0038】第3のマシンサイクルにおいて、制御回路17はプリフェッチバッファ13のアドレス部13-1に保持された上記プリフェッチアドレスをIO側アドレスレジスタ15にラッチし、第4のマシンサイクル以後でIOバス30のIOリード信号をアサートし、低速I/Oデバイス80に対するリードを行う。

【0039】第8および第9のマシンサイクルにおいて、IOバス30上でアドレスで指示される低速I/Oデバイス80がIOバス30上にリードされてデータを出している。制御回路17は、このリードされたデータをIO側データレジスタ16にラッチする。IO側データレジスタ16に保持されたリードデータは、プリフェッチバッファ13のデータ部13-2に保持される。

【0040】第10のマシンサイクルにおいて、CPU40は低速I/Oデバイス80に対してリード動作を行う。すなわち、CPU40はその低速I/Oデバイス80を指示するリードアドレスをアドレスストローブ信号とともにCPUバス20上へ出す。このリードアドレスはCPU側アドレスレジスタ11にラッチされる。CPU側アドレスレジスタ11に保持されたリードアドレスはプリフェッチバッファ13のアドレス部13-1に保

持されたプリフェッチアドレスと比較回路14によって比較される。

【0041】一致するアドレスがプリフェッチバッファ13のアドレス部13-1にあった場合、第12のマシンスイクルで、制御回路17は、実際のI/Oバス30に対してリード動作を行わずに、そのエントリのプリフェッチバッファ13のデータ部13-2に保持されているプリフェッチデータをCPU側データレジスタ12に格納し、CPUバス20に対してレディ信号をアサートし、直ちにリードを終了する。

【0042】尚、一致するエントリが存在する場合で、そのアドレスに対するI/Oバス30のリード動作がまだ完了していない場合には、制御回路17はI/Oバス30に対するリードが終了するまで、CPUバス20に対するレディ信号をアサートするのを待つ。

【0043】一方、一致するエントリが存在しない場合には、制御回路17は、図3(B)に示された従来のアクセスと同様に、そのアドレスをI/O側アドレスレジスタ15にラッチし、I/Oバス30のI/Oリード信号をアサートし、低速I/Oデバイス80に対するリードを行い、リードされたデータをI/O側データレジスタ16にラッチし、そのリードデータをCPU側データレジスタ12に格納し、CPUバス20のレディ信号をアサートし、リードを終了する。

【0044】次に、CPU40から低速I/Oデバイス80に対してデータをライトするライト動作について説明する。この場合、制御回路17は、CPUバス20上のライトアドレスをCPU側アドレスレジスタ11にラッチし、ライトデータをCPU側データレジスタ12にラッチし、レディ信号をアサートする。これによって、CPUバスサイクルは完了する。並行して、制御回路17は、CPU側アドレスレジスタ11に保持されたライトアドレスをI/O側アドレスレジスタ15にラッチし、CPU側データレジスタ12に保持されたライトデータをI/O側データレジスタ16にラッチし、I/Oバス30に対してI/Oライト信号をアサートする。これにより、実際の低速I/Oデバイス80に対するライトが行われる。

【0045】本発明は上述した実施形態に限定せず、本発明の趣旨を逸脱しない範囲内で種々の変更・変形が可能である。

【0046】

【発明の効果】以上詳述したように、本発明では、高速なCPUバスから低速なI/Oバスへのリードアクセスを行う場合に、バスやCPU、I/Oデバイスを変更することなく、ソフトウェアによるアクセス方法の変更のみで、リード要求をリードアクセス要求（プリフェッチ要求）とデータ応答要求（実際のリード要求）との2つに分割することができる。これにより、分割されたリードアクセス要求のためのライトと実際のリードによるデータ応答の間、CPUは他の処理をすることができ、CPUの使用効率を向上できる。また、CPUバスも一旦解放されるために、CPUバスを使用して主記憶装置やグラフィック表示デバイスへのアクセスや、他の高速I/OデバイスがCPUバスを使用することが可能となり、CPUバスを効率的に使用することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るバスブリッジの構成を示すブロック図である。

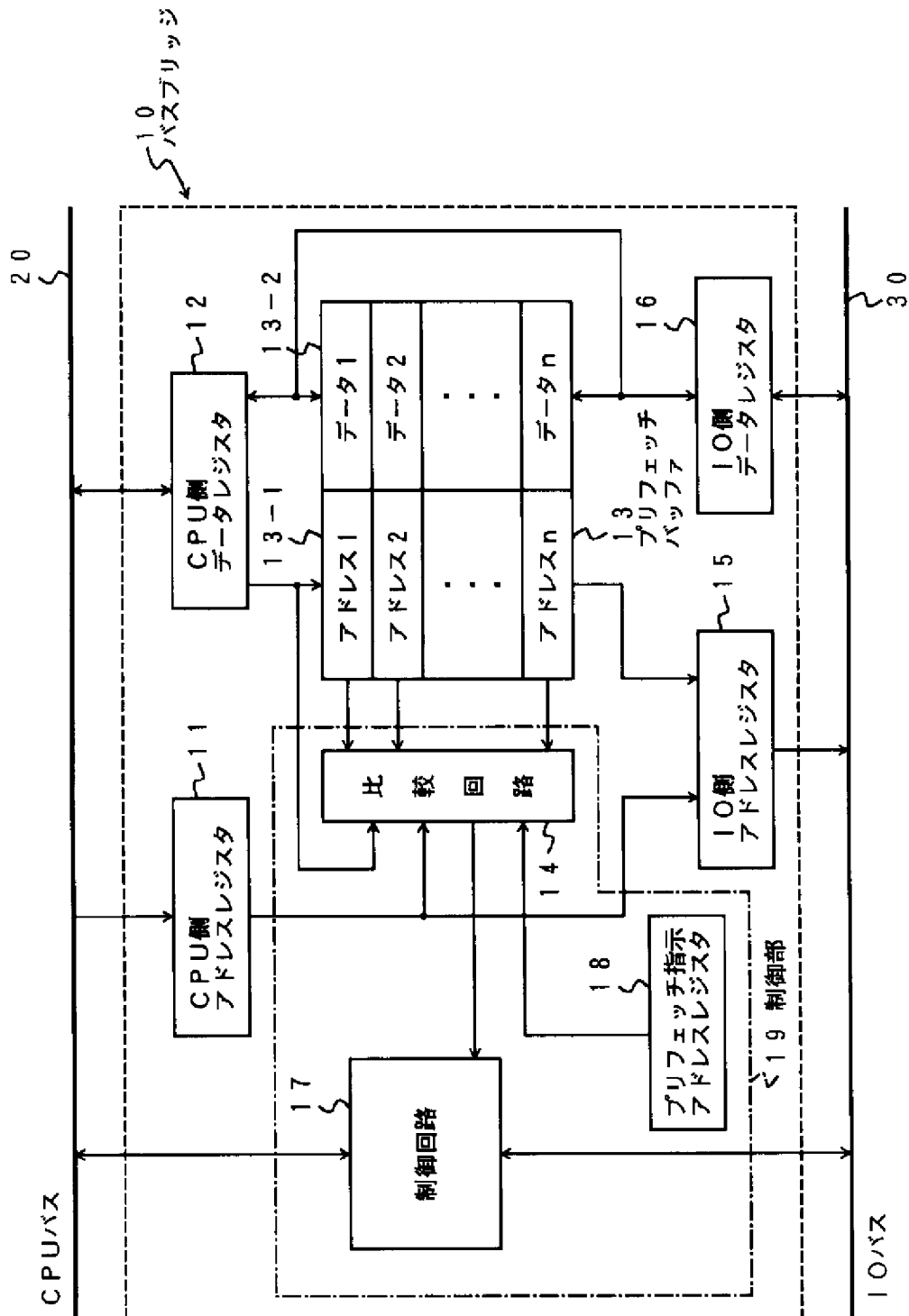
【図2】図1に示したバスブリッジを備えた計算機システムの全体構成を示すブロック図である。

【図3】同実施形態におけるプリフェッチアクセス(A)と、従来のアクセス(B)の動作を説明するためのタイミングチャートである。

【符号の説明】

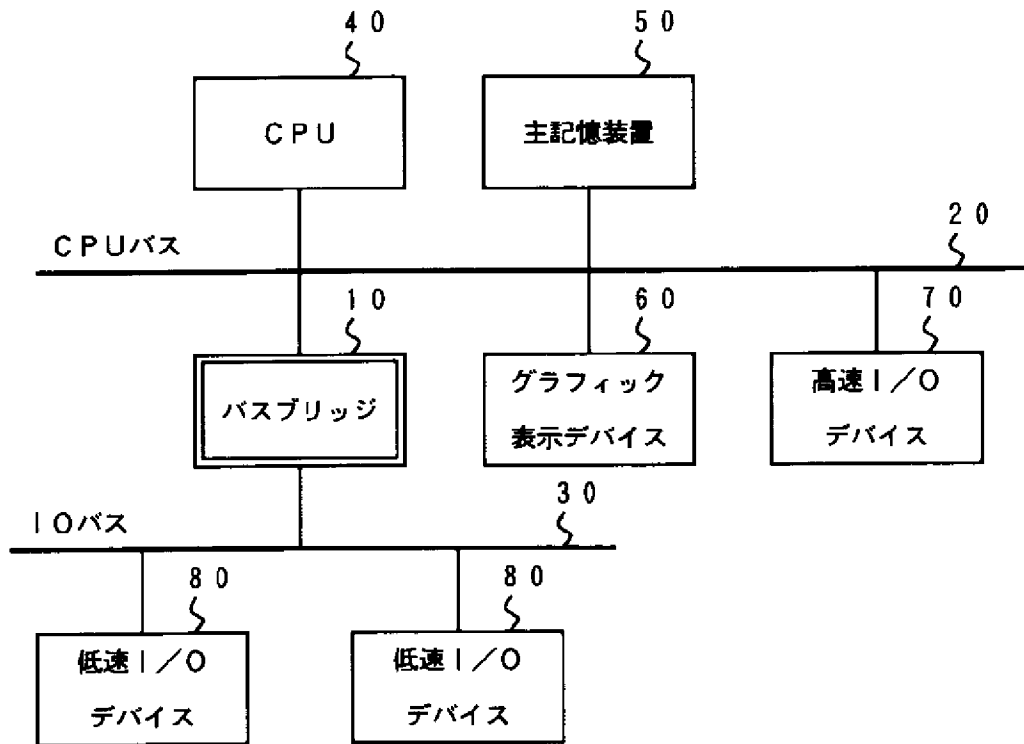
- 10   バスブリッジ
- 11   アドレスレジスタ
- 12   データレジスタ
- 13   プリフェッチバッファ
- 13-1   アドレス部
- 13-2   データ部
- 14   比較回路
- 15   アドレスレジスタ
- 16   データレジスタ
- 17   制御回路
- 18   プリフェッチ指示アドレスレジスタ
- 19   制御部
- 20   CPUバス
- 30   I/Oバス
- 40   CPU
- 50   主記憶装置
- 60   グラフィック表示デバイス
- 70   高速I/Oデバイス
- 80   低速I/Oデバイス

【図1】

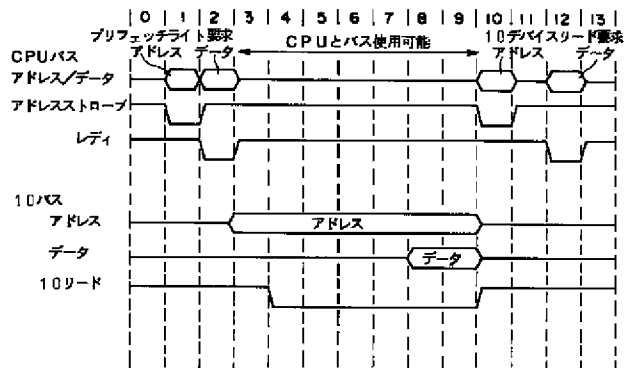




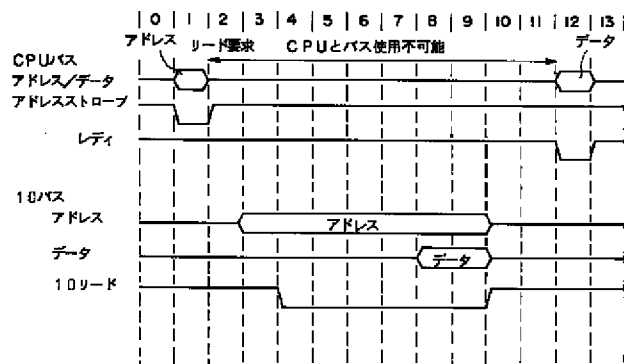
【図2】



【図3】



(A) プリフェッチアクセス



(B) 従来のアクセス

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-231164

(43)Date of publication of application : 05.09.1997

---

(51)Int.Cl.

G06F 13/36

G06F 5/06

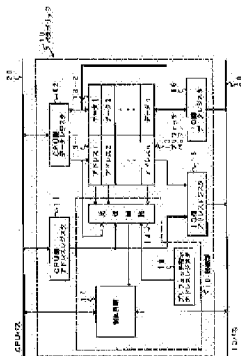
---

(21)Application number : 08-041129 (71)Applicant : NEC CORP

(22)Date of filing : 28.02.1996 (72)Inventor : KAWAKAMI TAKUYA

---

(54) BUS BRIDGE AND COMPUTER SYSTEM EQUIPPED WITH THE BUS BRIDGE



(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the use efficiency of a CPU and a CPU bus by making it possible to gain read access from the high-speed CPU bus to the low-speed I/O bus without altering the protocol of the buses or occupying the CPU bus.

**SOLUTION:** When the address of an address register 11 matches a prefetch indication address at the time of write operation, a control circuit 17 latches the

address indicated with write data in an address part 13-1 of a prefetch buffer 13, makes a read for a prefetch to the 10 bus 30, and latches read data in a data part 13-1 of the prefetch buffer 13. When the address of the address register 11 matches the address of the address part 13-1 of the prefetch buffer 13 at the time of read operation, the control circuit 17 outputs the data of the data part 13-2 of the prefetch buffer 13 corresponding to the address to the CPU bus 20.

---

## LEGAL STATUS

[Date of request for examination] 28.02.1996

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number] 3061106

[Date of registration] 28.04.2000

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] In the bus bridge (10) which performs bus conversion between the high-speed CPU bus (20) to which CPU (40) is connected, and low speed IO bus (30) to which an I/O device (80) is connected The bus bridge characterized by including the prefetch buffer (13) which prepares the data obtained by leading said IO bus in advance, and the control section (14, 17, 18) which controls the writing and read-out of data to this prefetch buffer.

[Claim 2] Said prefetch buffer (13) is a bus bridge according to claim 1 which consists of the address part (13-1) which holds the address which directs said I/O device contained in light data from said CPU as the prefetch address, and the data division (13-2) which hold the data which led through said IO bus from said I/O device as prefetch data.

[Claim 3] When the light address sent to the light demand from said CPU shows prefetch directions, said control section It latches to the address part of said prefetch buffer by making into said prefetch address the address data contained in said light data. Perform the lead for a pre-planned system to said IO bus, and said led data are latched to the data division of said prefetch buffer as said prefetch data. When in agreement with either of the prefetch addresses with which the lead address sent to the lead demand from said CPU was held at the address part of said prefetch buffer The bus bridge according to claim 2 characterized by performing control to which said prefetch data currently held at the data division of said prefetch buffer corresponding to the congruous prefetch addresses concerned are made to output on said CPU bus.

[Claim 4] The prefetch directions address register with which said control section holds said prefetch directions address (18), The light address on said CPU bus is

compared with said prefetch directions address of said prefetch directions address register. The light data on said CPU bus are compared with the address of the address part of said prefetch buffer. The comparison circuit which compares the lead address on said CPU bus with the address of the address part of said prefetch buffer, and outputs these comparison results (14), The bus bridge according to claim 3 characterized by having the control circuit (17) which performs the writing of said prefetch buffer and control of read-out, and the lead for the pre-planned system to said IO bus based on said comparison result.

[Claim 5] The high-speed CPU bus to which CPU (40) and this CPU were connected (20), In the computing system which has the bus bridge (10) which performs bus conversion between a low-speed I/O device (80), and said CPU bus and said IO bus [ low speed IO bus (30) to which this low-speed I/O device was connected, and ] The prefetch buffer which prepares the data obtained when said bus bridge led said IO bus in advance (13), The control section (14, 17, 18) which controls the writing and read-out of data to this prefetch buffer is included. Said CPU When performing read access to said IO bus, the prefetch light demand in which required lead data are made to store from said low-speed I/O device as prefetch data in advance to said prefetch buffer is first advanced on said CPU bus. After that The computing system characterized by having the means which advances the lead demand for leading said prefetch data from said prefetch buffer on said CPU bus.

[Claim 6] Said CPU is a computing system according to claim 5 characterized by taking out the light address which directs a pre-planned system first on said CPU bus as said prefetch light demand, and taking them out on said CPU bus, using as light data the address data which direct succeedingly said low-speed I/O device which should require a lead.

[Claim 7] The address part which holds the address which directs said low-speed I/O device with which said prefetch buffer (13) is contained in said light data as said prefetch address (13-1), It consists of the data division (13-2) which hold the data led through said IO bus from said low-speed I/O device as prefetch data.

Said control means (14, 17, 18) While said light address is directing said pre-planned system, said light data are latched to the address part of said prefetch buffer as said prefetch address. The computing system according to claim 6 characterized by leading into said IO bus using said prefetch address, and latching said led data to the data division of said prefetch buffer as said prefetch data.

[Claim 8] Said control means is a computing system according to claim 7 characterized by latching said light data to a new entry as said prefetch address when the entry is used when the prefetch address which is in agreement with said light data already exists in the address part of said prefetch buffer, and there is no match.

[Claim 9] Said control means is a computing system according to claim 7 characterized by leading prefetch data from the data division of said prefetch buffer corresponding to the prefetch address which was this in agreement, and making said lead demand output to up to said CPU bus when the prefetch address which is in agreement with the lead address taken out from said CPU on said CPU bus exists in the address part of said PURIFETSU <DP N=0003> CHIBAFFA.

[Claim 10] The prefetch directions address register with which said control means holds said prefetch directions address (18), The light address on said CPU bus is compared with said prefetch directions address of said prefetch directions address register. The light data on said CPU bus are compared with the address of the address part of said prefetch buffer. The comparison circuit which compares the lead address on said CPU bus with the address of the address part of said prefetch buffer, and outputs these comparison results (14), The computing system according to claim 9 characterized by having the control circuit (17) which performs the writing of said prefetch buffer and control of read-out, and the lead for the pre-planned system to said IO bus based on said comparison result.

[Claim 11] The computing system according to claim 5 which contains further the

main storage (50) connected to said CPU bus.

[Claim 12] The computing system according to claim 5 which contains further the graphical display device (60) connected to said CPU bus.

[Claim 13] The computing system according to claim 5 which contains further the high-speed I/O device (70) connected to said CPU bus.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the bus bridge which performs bus exchange between the CPU bus to which CPU is connected, and IO bus to which an I/O device is connected.

[0002]

[Description of the Prior Art] Generally, in the computer system, CPU is connected to the high-speed CPU bus where data width of bus is wide, on the other hand I/O devices, such as a keyboard and a printer, are connected to low speed IO bus narrow to data width of bus. The CPU bus and IO bus are connected by the bus bridge which performs bus exchange between them.

[0003] In the conventional bus bridge, the light actuation on a CPU bus can be ended by using a light buffer about the light actuation whose CPU carries out the light of the data to an I/O device, without waiting for completion of light actuation by IO bus. However, in the lead actuation whose CPU leads data from an I/O device, CPU needs to wait for the response from the I/O device connected to IO bus. Therefore, a CPU bus is occupied, CPU cannot perform other processings and other devices which use a CPU bus further cannot use a CPU bus in the meantime until the lead actuation on IO bus is completed.

[0004] In order to prevent decline in the utilization ratio of such a CPU bus, in the case of the bus of dedication by which the CPU bus was designed for multiprocessors, the technique of the split transaction which divides the starting cycle and response data cycle of bus access is known. For example, an example of a MARUCHIHI processor system which performs a split transaction is indicated by JP,6-149730,A (it is hereafter called the advanced technology 1).

[0005] In addition, other advanced technology relevant to this invention is known variously. For example, even if data transfer of the address random in addition to the data transfer of the linear address may be performed to JP,5-165761,A (it is hereafter called the advanced technology 2), the "DMA controller" to which the high-speed-data transfer was made to be performed correctly is indicated. In this advanced technology 2, at the time of the transfer request from the DMA device connected to the low-speed bus of 8 bit-data width of face, the demand address is latched to the 1st register and the data of relevance are latched to a 8-bit data buffer. A comparator compares the part except the low order triplet of each of the demand address last time which this demand address that the 1st register shows, and the 2nd register show. At the time of the inequality detection by the comparator, a control section moves the content of the 1st register and the 8-bit data buffer to the 2nd register and a 64-bit data buffer, after transmitting the content of the 2nd register and the 64-bit data buffer to main memory through the high speed bus of 64 bit-data width of face, and if the content of the 1st register and the 8-bit data buffer is moved to the 2nd register and a 64-bit data buffer at



the time of coincidence detection and it fills the transfer to main memory will be performed.

[0006] Even if data transfer of the address random in addition to the same data transfer of the linear address as the above-mentioned advanced technology 2 may be performed also to JP,4-365157,A (it is hereafter called the advanced technology 3), the "DMA controller" which enabled it to perform a high-speed-data transfer is indicated. In this advanced technology 3, it considers as the two-step configuration of the cache section which has the 1st register holding that block address in the data cache list holding the data block for data width of face of the high speed bus containing the main memory data of the memory address by which the data transfer demand was carried out last time through the low-speed bus by the DMA device, and the buffer section which has the 2nd register holding the following block address in the data buffer list holding the following data block. It detects whether the data of the demand address exist in the cache section or the buffer section by comparing with a data transfer demand the block address and the content of the 1st or 2nd register which the 3rd register holding the demand address shows by the comparator from a DMA device.

[0007] The "data transfer method in an input/output control unit" to which data transfer could be made to make the transfer time of both a low-speed bus and a high speed bus almost equal to the transfer time of a low-speed bus by low-speed bus by starting the data transfer by the high speed bus, and transmitting both in parallel if only the specified quantity is performed is indicated by JP,2-245959,A (it is hereafter called the advanced technology 4). While sequential storing of the data with which the advanced technology 4 is transmitted through a low-speed bus is carried out by control of the 1st DMA control section at a buffer, it inputs also into a specified quantity detection means, and counting of the amount of data is carried out. If the transfer amount of data reaches a predetermined value, a starting output will occur from a specified quantity detection means, and the 2nd DMA control section will start the DMA transfer actuation to an I/O device through a high speed bus. This data transfer is sent

out sequentially from the initial data stored in the buffer, and the transfer to the buffer by the low-speed bus is performed in parallel simultaneously. Thereby, the whole transfer time can be brought close to the data transfer time of a low-speed bus.

[0008] The "bus adapter" which aimed at improvement in a throughput is indicated by combining with JP,61-48059,A (it being hereafter called the advanced technology 5) the low-speed bus which connects a multiple-processes input device (PI) and process I/O equipment (PO) with the high-speed CPU bus of a processor by data memory, and forming the adapter which has a data BAAFA function. The data transfer between CPU and memory sets a bus change-over flip-flop to "1", and a memory control circuit controls memory by the advanced technology 5 by CPU read-out / write control signal of a CPU bus, the CPU synchronization pulse, and the memory access signal. As for the address of memory, a CPU address bus is combined through a multiplexer, and data are combined with a CPU data bus by the bidirectional three state gate circuit. The data transfer between memory and an input/output bus resets a bus change-over flip-flop to "0", confirms the control signal of an input/output bus timing signal generating circuit, starts an I/O address counter, and is transmitted to memory from memory from PI at PO.

[0009] "The data transfer method outputted and inputted with the transfer rate of the bus to which self was connected" is indicated by JP,58-201137,A (it is hereafter called the advanced technology 6) by minding the data buffer of a FIFO format in the data transfer unit channel between the equipment connected to the input/output bus with which transfer rates differ. If delivery and a device address selection circuitry detect address information from Equipment A to a bus and detect coincidence to the address, an address signal line will be set to "1." The gate is carried out with the strobe signal from Equipment A, the gate of the data inputted through the receiver circuit is carried out with a signal line, it stores in a data buffer, data are stored in a latter buffer in a FIFO format by the control circuit, and this transfer is quicker than writing speed. If data are stored in a latter

buffer, Equipment B will begin read in with the signal from a control signal, but from Equipment A, when the direction of Equipment B is a high speed, it waits for read in until a buffer fills and it fills. This performs efficiently data transfer between the systems from which transmission speed differs.

[0010]

[Problem(s) to be Solved by the Invention] As mentioned above, since actuation of CPU will not be able to be performed and a high-speed CPU bus will be occupied, by the conventional bus bridge, there is a problem that the utilization ratio of a bus will fall during the lead of low speed IO bus.

[0011] In order to prevent this, modification is added to the bus itself and the technique which supports a split transfer is known as indicated by the above-mentioned advanced technology 1. However, in order to realize this technique, modification of CPU or the I/O device itself will be needed.

[0012] Therefore, the technical problem of this invention is to offer the bus bridge which can perform lead actuation to low speed IO bus, without being only modification of the access approach by software and occupying a high-speed CPU bus, without adding modification to the protocol of a bus.

[0013] in addition, advanced technology 2 and 3 indicates the DMA controller which transmits data to the main memory connected to a high speed bus from the DMA device connected to a low-speed bus, without minding CPU -- \*\*\*\* -- it does not pass, and does not indicate at all about the technique which carries out read access to the I/O device connected to low speed IO bus from CPU, and a suggestion has not been carried out, either. Moreover, although advanced technology 2 and 3 is equipped with temporary memories, such as a data buffer for storing data temporarily, and the cache section, the purpose of use is for only holding temporarily, before transmitting the data from a DMA device to main memory. The technique of transmitting the data with which the advanced technology 4 as well as advanced technology 2 and 3 has been transmitted through a low-speed bus, without minding CPU to a high speed bus is indicated. The advanced technology 5 is indicating CPU, memory, the data transfer of a

between, and memory, an input/output bus and the data transfer of a between.  
the advanced technology 6 indicates the data transfer unit channel between the  
equipment connected to the input/output bus with which transfer rates differ --  
\*\*\*\* -- it does not pass and the problem in read access in case equipment of one  
of the two is CPU is not recognized.

[0014]

[Means for Solving the Problem] The bus bridge by this invention is characterized  
by to include the prefetch buffer which prepares the data obtained by leading IO  
bus in advance in the bus bridge which performs bus conversion between the  
high-speed CPU bus to which CPU is connected, and low speed IO bus to which  
an I/O device is connected, and the control section which controls the writing and  
read-out of data to this prefetch buffer.

[0015] Moreover, the high-speed CPU bus to which, as for the computer system  
by this invention, CPU and this CPU were connected, In the computing system  
which has the bus bridge which performs bus conversion between a low-speed  
I/O device, low speed IO bus to which this low-speed I/O device was connected,  
and a CPU bus and IO bus The prefetch buffer which prepares the data obtained  
when a bus bridge led IO bus in advance, The control section which controls the  
writing and read-out of data to this prefetch buffer is included. CPU When  
performing read access to IO bus, the prefetch light demand in which required  
lead data are made to store from a low-speed I/O device as prefetch data in  
advance to a prefetch buffer is first advanced on a CPU bus. It is characterized  
by having the means which advances the lead demand for leading prefetch data  
from a prefetch buffer on a CPU bus after that.

[0016]

[Function] In the above-mentioned configuration, when the address for directing  
the light address and the pre-planned system on a CPU bus is in agreement,  
light data are held as the prefetch address to the address part of a prefetch buffer,  
access of a CPU bus is completed promptly, and the lead over the address is  
started to IO bus.

[0017] The data led from IO bus are stored in the data division corresponding to the address of a prefetch buffer as prefetch data. When the same address already exists in a prefetch buffer, old prefetch data are overwritten by new prefetch data.

[0018] When the lead demand into IO bus from a CPU bus comes and the lead address by this lead demand is in agreement with the prefetch address of the address part of a prefetch buffer, the read access to IO bus outputs the prefetch data of the data division of a prefetch buffer to a CPU bus, and makes read access complete without taking out.

[0019] When the prefetch address and the match of address part of a prefetch buffer do not have the lead address with a lead demand, access of a lead is taken out to IO bus like the conventional bus bridge, and the led data are outputted to a CPU bus.

[0020] A light demand into IO bus completes RAIDO access on a CPU bus, without waiting to complete light access on IO bus, when the light address is latched to an address register and it latches light data to a data register.

[0021] Thus, when CPU performs read access of low-speed IO bus according to the above-mentioned configuration, the prefetch directions address is received. By carrying out the light of the address which performs a lead demand beforehand to the prefetch buffer as the prefetch address By using the prefetched data, the lead over the address performed later can be completed by the shortest read cycle on a CPU bus, and CPU can perform other processings from a pre-planned system before a actual lead. Moreover, since a device besides the meantime can use a CPU bus, it can be possible to use a CPU bus effectively and the processing engine performance can be improved.

[0022]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained to a detail with reference to a drawing.

[0023] The configuration of the bus bridge concerning the gestalt of the 1 operation of this invention to drawing 1 is shown, and the computing system

which equipped drawing 2 with the bus bridge shown in drawing 1 is shown.

[0024] First, the computer system is equipped with the bus bridge 10 concerning this invention, the CPU bus 20, the IO bus 30, CPU40, main storage 50, the graphical display device 60, high-speed I/O device 70, and low-speed I/O device 80 with reference to drawing 2 .

[0025] CPU40 is making the center of this computing system. Main storage 50 stores various programs, data, etc. The graphical display device 60 performs a screen display. High-speed I/O devices 70 are devices, such as a disk unit and a network. These CPUs40, main storage 50, the graphical display device 60, and high-speed I/O device 70 are connected to the high-speed CPU bus 20. Low-speed I/O devices 80 are comparatively low speed equipments, such as a keyboard and a printer, and are connected to the low speed IO bus 30. A bus bridge 10 controls the data transfer between the CPU bus 20 and the IO bus 30.

[0026] Moving to drawing 2 , a bus bridge 10 has the CPU side address register 11, the CPU side data register 12, the prefetch buffer 13, a comparison circuit 14, the IO side address register 15, the IO side data register 16, a control circuit 17, and the prefetch directions address register 18.

[0027] It connects with the CPU bus 20 and the CPU side address register 11 is a register for latching the address sent to a data transfer demand from the CPU bus 20. The CPU side data register 12 is also connected to the CPU bus 20, and it is a register for latching the light data from the CPU bus 20. The prefetch buffer 13 consists of address part 13-1 holding the address to prefetch, and data division 13-2 which hold the led data as prefetch data.

[0028] A comparison circuit 14 compares the light address from the CPU bus 20 held at the address register 11 with the prefetch directions address held at the prefetch directions address register 18. The lead address from the CPU bus 20 held at the address register 11 is compared with the prefetch address held at the address part 13-1 of the prefetch buffer 13. The light data to the prefetch directions address are compared with the prefetch address held at the address part 13-1 of the prefetch buffer 13, and these comparison results are sent out to

a control circuit 17.

[0029] It connects with the CPU side address register 11, the IO bus 30, and the address part 13-1 of the prefetch buffer 13, and the IO side address register 15 latches the prefetch address held at the address part 13-1 of the address held at the CPU side address register 11 at the data transfer demand to the IO bus 30, or the prefetch buffer 13. It connects with the CPU side data register 12, the IO bus 30, and the data division 13-2 of the prefetch buffer 13, and the IO side data register 16 latches the light data to the IO bus 30, and the lead data on the IO bus 30.

[0030] A control circuit 17 performs data transfer control of the CPU bus 20 and the IO bus 30 and control of the this bus bridge 10 interior based on the above-mentioned comparison result. There are an address strobe which shows that the address which carries out a transfer request on the CPU bus 20 is decided, and a ready signal which shows that delivery of data was completed as signal outputted and inputted between a control circuit 17 and the CPU bus 20. An address strobe is used also for the latch signal of the CPU side address register 11. There are IO lead signal which shows a demand of a lead, and an IO light signal which shows the demand of a light as signal outputted and inputted between a control circuit 17 and the IO bus 30. In the start of IO lead signal, the lead data on the IO bus 30 are latched to the IO side data register 13.

[0031] Anyhow, the combination of a control circuit 17, a comparison circuit 14, and the prefetch directions address register 18 operates as a control section 19 which controls the writing and read-out of data to the prefetch buffer 13.

[0032] Next, the actuation of a bus bridge 10 which was shown in drawing 1 with reference to drawing 3 (A) in addition to drawing 1 and drawing 2 is explained. In drawing 3 (A), the 0th thru/or the 13th machine cycle are shown by a figure 0 thru/or 13 along with the top line.

[0033] First, the lead actuation whose CPU40 leads data from low-speed I/O device 80 is explained.

[0034] First, the software of CPU40 advances the prefetch light demand for

performing that they carry out a light to the prefetch directions address, using as the prefetch address the light data in which the address to lead is shown. When light data are latched to the CPU side data register 12, a ready signal is taken out, and this prefetch light demand is ended promptly.

[0035] If it states to a detail, CPU40 will take out with the 1st machine cycle the light address and the address strobe which show prefetch directions on the CPU bus 20. The light address on the CPU bus 20 is latched to the CPU side address register 11 by assertion of an address signal. Next, CPU40 takes out with the 2nd machine cycle the light data in which a prefetch light demand is shown on the CPU bus 20. While this light data is latched to the CPU side data register 12, a control circuit 17 takes out a ready signal on the CPU bus 20. Therefore, the CPU bus 20 is released and the device connected to it is able to use the CPU bus 20 after the 3rd machine cycle. That is, since the CPU bus 20 is once released, access to main storage 50 or the graphical display device 60 and other high-speed I/O devices 70 are enabled to use the CPU bus 20 using the CPU bus 20, and the CPU bus 20 can be used efficiently.

[0036] On the other hand, the light address held at the CPU side address register 11 is compared with the prefetch directions address held at the prefetch directions address register 18 by the comparison circuit 14. When these addresses are in agreement, since the light data held at the CPU side data register 12 are data in which the address which carries out a prefetch light demand is shown, they compare the address data latched to the CPU side data register 12 with the prefetch address held at the address part 13-1 of the prefetch buffer 13 by the comparison circuit 14.

[0037] When the prefetch address which is in agreement with the above-mentioned address data exists in the address part 13-1 of the prefetch buffer 13, the entry is used, and when there is no match, the address data held at the data register 12 at a new entry are latched as the prefetch address.

[0038] In the 3rd machine cycle, a control circuit 17 latches the above-mentioned prefetch address held at the address part 13-1 of the prefetch buffer 13 to the IO



side address register 15, asserts IO lead signal of the IO bus 30 henceforth [ the 4th machine cycle ], and performs the lead over low-speed I/O device 80.

[0039] In the 8th and 9th machine cycles, low-speed I/O device 80 directed in the address on the IO bus 30 is led on the IO bus 30, and is taking out data. A control circuit 17 latches this led data to the IO side data register 16. The lead data held at the IO side data register 16 are held at the data division 13-2 of the prefetch buffer 13.

[0040] In the 10th machine cycle, CPU40 performs lead actuation to low-speed I/O device 80. That is, CPU40 takes out the lead address which directs the low-speed I/O device 80 to up to the CPU bus 20 with an address strobe. This lead address is latched to the CPU side address register 11. The lead address held at the CPU side address register 11 is compared by the prefetch address and the comparison circuit 14 which were held at the address part 13-1 of the prefetch buffer 13.

[0041] When the address in agreement suits the address part 13-1 of the prefetch buffer 13, by the 12th machine cycle, a control circuit 17 stores in the CPU side data register 12 the prefetch data currently held at the data division 13-2 of the prefetch buffer 13 of the entry, without performing lead actuation to the actual IO bus 30, asserts a ready signal to the CPU bus 20, and ends a lead promptly.

[0042] In addition, when lead actuation of the IO bus 30 to the address is not completed yet by the case where an entry in agreement exists, a control circuit 17 waits to assert the ready signal over the CPU bus 20 until the lead over the IO bus 30 is completed.

[0043] On the other hand, when an entry in agreement does not exist A control circuit 17 latches the address to the IO side address register 15 like the conventional access shown in drawing 3 (B). Assert IO lead signal of the IO bus 30, and the lead over low-speed I/O device 80 is performed. The led data are latched to the IO side data register 16, the lead data is stored in the CPU side data register 12, the ready signal of the CPU bus 20 is asserted, and a lead is

ended.

[0044] Next, the light actuation which carries out the light of the data from CPU40 to low-speed I/O device 80 is explained. In this case, a control circuit 17 latches the light address on the CPU bus 20 to the CPU side address register 11, latches light data to the CPU side data register 12, and asserts a ready signal. A CPU bus cycle is completed by this. In parallel, a control circuit 17 latches the light address held at the CPU side address register 11 to the IO side address register 15, latches the light data held at the CPU side data register 12 to the IO side data register 16, and asserts IO light signal to the IO bus 30. Thereby, the light to actual low-speed I/O device 80 is performed.

[0045] Modification and deformation various by within the limits which does not limit to the operation gestalt mentioned above and does not deviate from the meaning of this invention are possible for this invention.

[0046]

[Effect of the Invention] As explained in full detail above, by this invention, a lead demand can be divided into two, a read access demand (prefetch demand) and a data response demand (actual lead demand), only by modification of the access approach by software, without changing a bus, CPU, and an I/O device, when performing read access from a CPU bus to high-speed low speed IO bus.

Thereby, during the data response by the light for the divided read access demand, and actual lead, CPU can carry out other processings and can improve the utilization ratio of CPU. Moreover, since a CPU bus is also once released, access to main storage or a graphical display device and other high-speed I/O devices are enabled to use a CPU bus using a CPU bus, and a CPU bus can be used efficiently.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the bus bridge concerning the gestalt of 1 operation of this invention.

[Drawing 2] It is the block diagram showing the computer-system whole configuration equipped with the bus bridge shown in drawing 1 .

[Drawing 3] It is a timing chart for explaining actuation of prefetch access (A) in this operation gestalt, and the conventional access (B).

[Description of Notations]

10 Bus Bridge

11 Address Register

12 Data Register

13 Prefetch Buffer

13-1 Address Part

13-2 Data Division

14 Comparison Circuit

15 Address Register

16 Data Register

17 Control Circuit

18 Prefetch Directions Address Register

19 Control Section

20 CPU Bus

30 IO Bus  
40 CPU  
50 Main Storage  
60 Graphical Display Device  
70 High-speed I/O Device  
80 Low-speed I/O Device

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

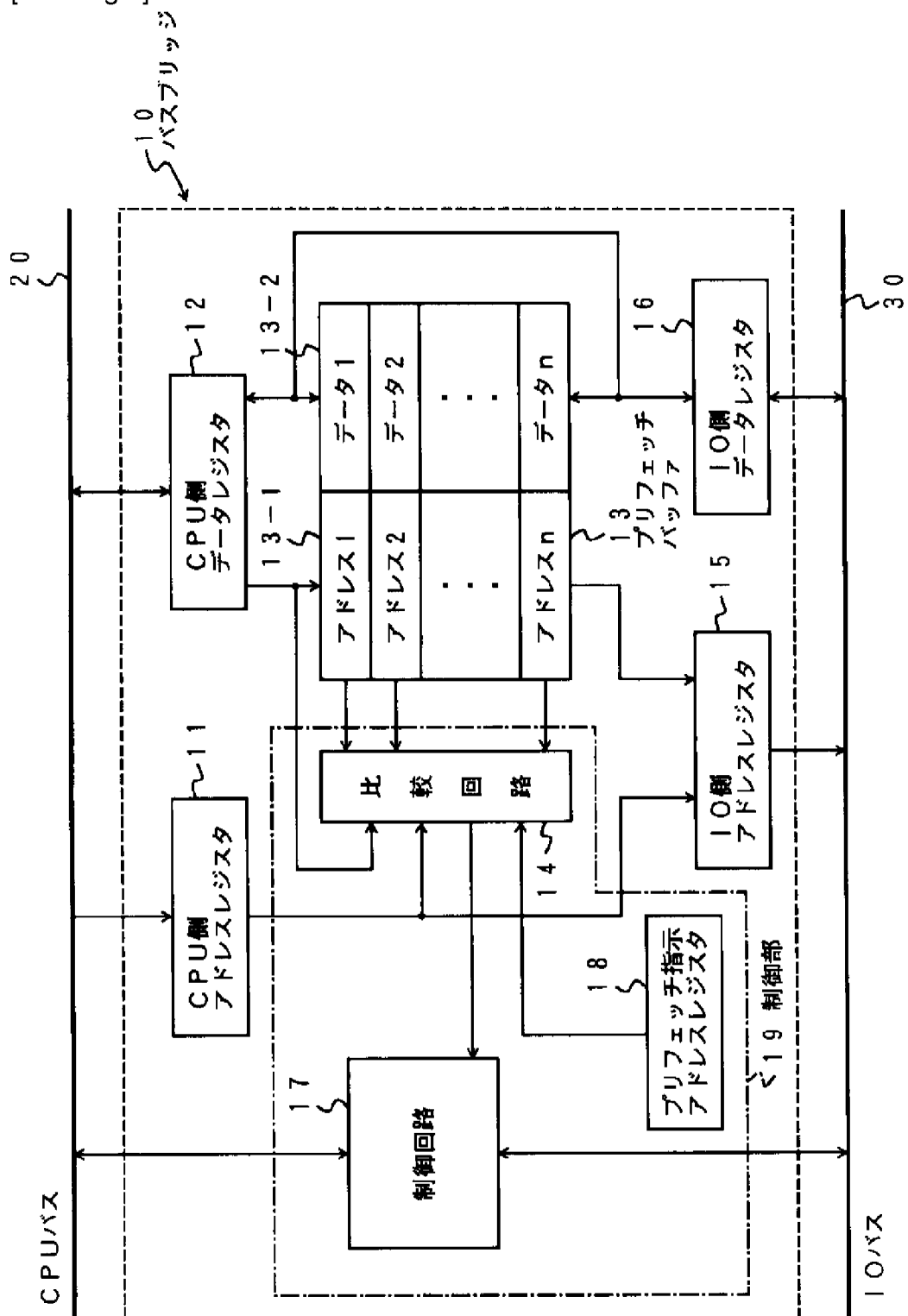
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

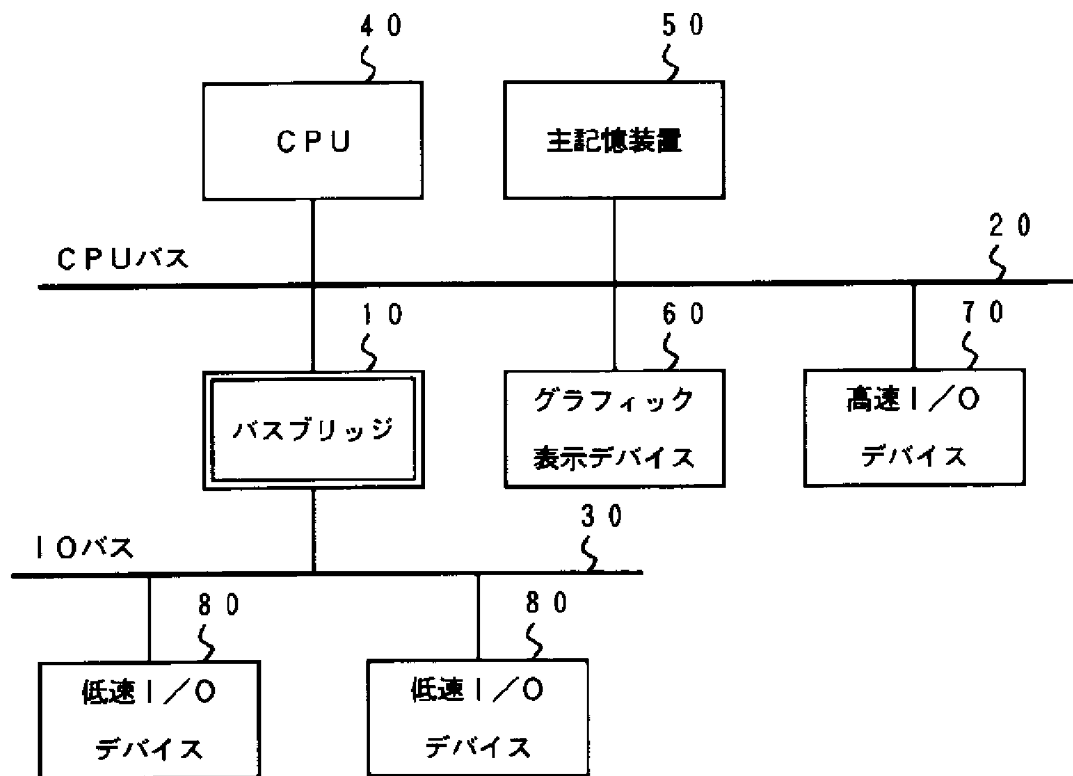
**DRAWINGS**

---

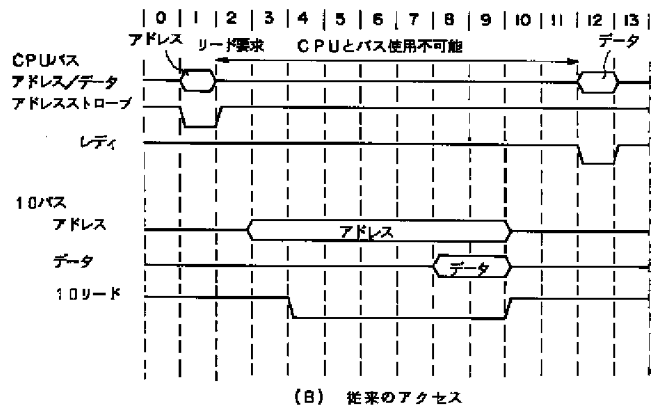
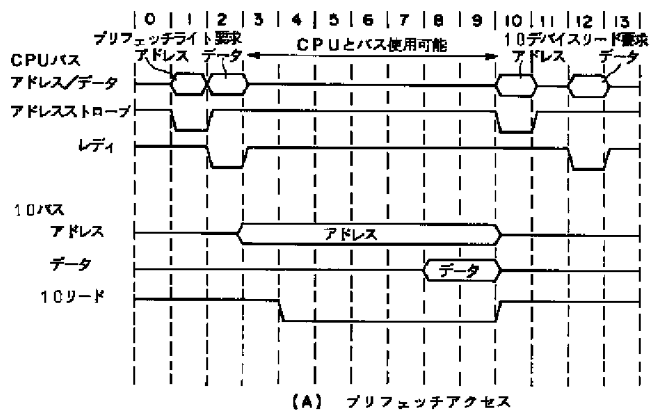
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]